

# MÁSTER EN NUEVAS TECNOLOGÍAS ELECTRÓNICAS Y FOTÓNICAS

TRABAJO DE FIN DE MÁSTER - CURSO 2026-2027

## PROPUESTA

|                              |                                                                                                           |
|------------------------------|-----------------------------------------------------------------------------------------------------------|
| <b>Título:</b>               | <i>Estudio de arquitecturas de TDC de alta resolución basadas en cadenas de retardo en FPGA PolarFire</i> |
| <b>Título en inglés:</b>     | <i>Study of high-resolution TDC architectures based on delay chains in PolarFire FPGA.</i>                |
| <b>Tutor/es:</b>             | Javier Sastre Álvaro                                                                                      |
| <b>Correos-e:</b>            | javier.sastre@ciemat.es                                                                                   |
| <b>Lugar de realización:</b> | CIEMAT                                                                                                    |

### Resumen:

Determinar con precisión el instante en que llega una señal es un requisito habitual en instrumentación científica, especialmente en física de altas energías, donde la resolución temporal condiciona directamente la calidad de las medidas. No existe una solución única: la arquitectura óptima de un convertidor tiempo-digital (TDC) depende del rango dinámico, la linealidad y la resolución exigidos en cada caso, incluso al comparar distintas implementaciones dentro de un mismo dispositivo digital.

Este trabajo se centra en el estudio y diseño de un TDC de alta resolución implementado sobre una FPGA PolarFire de Microchip, dispositivo de tipo rad-hard sobre el que apenas existen referencias publicadas de TDCs de precisión. La arquitectura combina un contador grueso, sincronizado con el reloj del sistema, con una línea de retardo interna que permite resolver intervalos inferiores a un ciclo de reloj.

### Metodología:

El estudiante analizará el comportamiento de esta estructura mediante simulación de temporización y, apoyándose en los datos experimentales obtenidos en las prácticas asociadas, interpretará los resultados en términos de no linealidad diferencial (DNL) e integral (INL) y resolución efectiva del sistema. A partir de este análisis, propondrá y evaluará teóricamente estrategias de calibración (reordenamiento de registros, agrupación de bins, técnicas de tipo wave union) para mejorar la uniformidad de la resolución. El trabajo permitirá adquirir una base sólida en conversión analógica-digital y en el diseño de sistemas digitales sobre FPGA.

### Conocimientos previos recomendados:

Fundamentos de sistemas digitales / arquitectura de computadores: representación de datos, codificación binaria, concepto de temporización, setup/hold, propagación de señal en lógica combinacional.

Electrónica básica: lectura de esquemáticos, uso de osciloscopio, nociones de señales de reloj, jitter, ruido.

Matemáticas / estadística aplicada: estadística descriptiva (histogramas, desviación estándar) para interpretar DNL/INL.

### Bibliografía:

J. Wu and Z. Shi, "The 10-ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay," 2008 IEEE Nuclear Science Symposium Conference Record, Dresden, Germany, 2008, pp. 3440-3446, doi: 10.1109 / NSSMIC.2008.4775079.

Jian Song, Qi An and Shubin Liu, "A high-resolution time-to-digital converter implemented in field-programmable-gate-arrays," in IEEE Transactions on Nuclear Science, vol. 53, no. 1, pp. 236-241, Feb. 2006, doi: 10.1109/TNS.2006.869820.